

0.2um SOI-CMOS プロセスを用いた 線形増幅型イメージング検出器の開発

SATテクノロジー・ショーケース2017

■ はじめに

従来のモノリシック型の半導体検出器はセンサー層とエレクトロニクスをバンプボンディングという方法で接合させた構造である。しかし接合部に金属を使っているため粒子の多重散乱の改善や小型化が期待されている。そこで図1のように2枚のシリコンを張り合わせた、Silicon-On-Insulator(以下、SOI)技術を用いることにより余分な物質がない一体型検出器を実現する。またCMOSプロセスを使うことにより、複雑な信号処理回路をピクセル毎に搭載可能である。

高エネルギー加速器研究機構の測定器開発室SOIグループを中心に、これらの素子の開発を行っている。また新たな試みとしてセンサー内部で信号を増倍させ、雑音に対する割合をよくすることを目的としたSOI-Avalanche-Photo-Diode(SOIAPD)検出器の開発を行っている。低エネルギーのX線や光強度が低い入射光に対して、10~100倍程度の線形増倍を行い、位置やエネルギーの情報を失わずに高感度化を目指す。また応用用途としても素粒子物理実験、物質構造解析、医療応用用途と幅広いアプリケーションの使用が検討されている。本発表では次世代のSOIAPD検出器の開発状況について報告する。

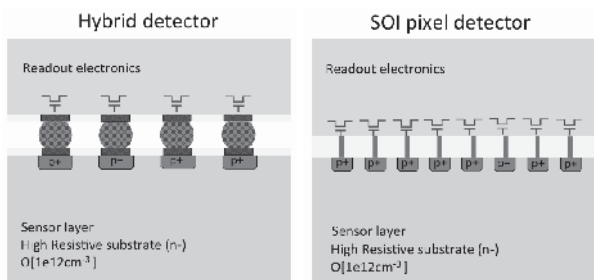


図1. Hybrid検出器とSOI pixel検出器

■ 活動内容

1. 試作機の開発

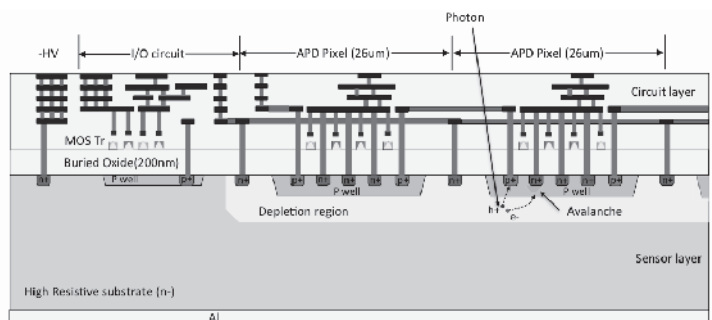
0.2um SOI-CMOSプロセスを用いて、センサー部にアバランシェ増倍を起こさせる構造の試作機を作製した。低濃度のN型基板にピクセルサイズ26um、10×10アレイの構造である。650nmの波長変換レーザーを20um程度に集光し表面より照射、約20倍の増幅を確認した。

2. 素子構造の最適化

半導体デバイスシミュレータを用いて、プロセスの注入条件等の最適化を行っている。特にPN接合のエッジ部では局所的に電場集中が起こり、これらを制御する必要がある。また素子内部での物理現象の解明を行い、より優れた性能を得られるためのパラメータを調整する必要がある。

3. 今後の開発

0.2um SOI-CMOS プロセスを用いてセンサー構造で線形領域で内部増倍を起こす試作機(図2)の開発を行う。また標準的なCMOSプロセスで作製されているAPDとは異なり、低ノイズアンプやディスクリメータなどの信号処理回路をピクセル上に作製した試作機の開発を行う。



[This figure is not to scale]

図2. SOIAPD 検出器の断面図

代表発表者 **浜崎 竜太郎 (はまさき りゅうたろう)**
 所属 **総合研究大学院大学**
 問合せ先 **〒305-0801 茨城県つくば市大穂 1-1
 高エネルギー加速器研究機構
 先端計測開発棟 104A 室
 ryutaro@post.kek.jp**

■キーワード: (1) Silicon-On-Insulator
 (2) Avalanche-Photo-Detector
 (3) イメージング検出器