

Y₂O₃/Ge pMOSFETs における Ge 表面清浄化プロセスの検討

SATテクノロジー・ショーケース2020

■ はじめに

GeはSiよりも高い移動度を有していることから新しいチャンネル材料として注目されている。Geは自身の酸化物であるGeO₂との間で、優れた界面特性を有していることが報告されているが、GeO₂界面層は熱的な不安定性や水溶性から実用には不向きである。この課題の解決策として、high-k材料であるY₂O₃が注目されている。Y₂O₃は比較的誘電率が高く、基板との界面にYGeOx界面層を形成することで、耐熱性および耐水性が向上することが報告されている[1]。本研究では、絶縁膜堆積前の基板の表面処理方法に着目し、熱処理で自然酸化膜除去と平坦化を施したGe清浄表面にY₂O₃絶縁膜を直積堆積することを試みた。さらに自己整合型Ge pMOSFETsを作製し、電気的特性を評価したので報告する。

■ 実験内容

1. 実験方法

実験方法を以下に示す。Ge基板を化学洗浄した後に超高真空RTA装置に導入し、高純度N₂中640°C、80秒間の熱処理を行う事でGe清浄表面を得た[2]。その後、超高真空中で連結された反応性DCマグネトロンスパッタ装置に搬送し、Y₂O₃膜とTaN膜(30nm)を室温で連続的に堆積させた。N₂中400°Cで10分間PDA処理後、ゲートパターンを形成しRIE(SF₆/O₂)でTaNをドライエッチングすることでゲート構造を作成した。ソースドレインのパターニング後、希釈したHCl溶液を用いてY₂O₃のウェットエッチングを行い、Ge表面を露出させた。この表面にNi(5nm)を真空蒸着し、350°C、60秒間熱処理をすることでNiGeソースドレインを自己整合的に形成しpMOSFETsを作製した。比較のために絶縁膜堆積前の熱処理を行わないものも準備した。MOS構造は断面TEMおよびTEM-EDXを用いることで膜厚および組成を確認した。

2. 実験結果および考察

図1の断面TEM像およびTEM-EDXからGe基板の

清浄表面処理を行うことで、絶縁膜であるY₂O₃とGe基板の反応が促進され、界面層の厚膜化が観察された。C-V特性から界面層の厚膜化によって誘電率の低下が見られたが、界面準位密度は低減し良好な界面が形成された。MOSFETsの測定結果では、図2に示すように、RTA有り無しでほぼ同等のI-V特性が得られた。また、SSの向上と低電界側での移動度向上が見られた。これは界面準位密度の低減によるクーロン散乱の抑制によるものだと考えられる。以上のことより、Ge表面清浄化プロセスはGe MOSFETsの性能向上に有効な手段であることが明らかになった。

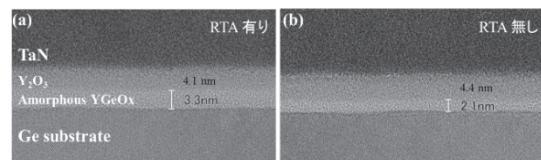


Fig. 1. TaN/Y₂O₃/Geの断面TEM像(a)RTA有り(b)RTA無し

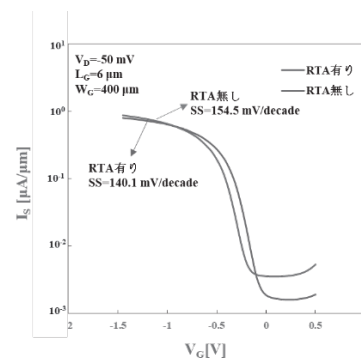


Fig. 2. Ge pMOSFETsのI_s-V_G特性

■ 参考文献

- [1] C. Lu et al., Appl. Phys. Lett. 104, 092909 (2014).
[2] Y. Morita, et al., IEDM Tech. Dig. (2015) 390.

■キーワード: (1)ゲルマニウム
(2) MOSFETs
(3) 界面

■共同研究者: 石井 裕之(産業技術総合研究所)
張 文馨(産業技術総合研究所)
森田 行則(産業技術総合研究所)
遠藤 聡(東京理科大学)
藤代 博記(東京理科大学)
前田 辰郎
(産業技術総合研究所、東京理科大学)

代表発表者 石井 寛仁(いしい ひろと)
所 属 東京理科大学、産業技術総合研究所
問合せ先 〒125-0042 東京都葛飾区新宿 6-3-1
TEL:03-5876-1718
E-mail:8119506@ed.tus.ac.jp