

# MOSFET の極低温動作における DIBL パラメータ過剰見積の発生条件

SATテクノロジー・ショーケース2024

## ■ はじめに

量子化学計算や探索問題などのある特定の問題において、古典コンピュータよりも高速に解くことが期待されている量子コンピュータは、現在大きな注目を集めている。集積化が進んでいる固体素子型の量子ビットは極低温下で動作するため、希釈冷凍機に設置されている。量子ビットの制御用集積回路は冷凍機の外部に設置されているが、量子ビットの集積数の増加に伴い信号配線を通じた熱流入が問題となってくる。

熱流入を解決するには制御回路と量子ビットを冷凍機内部の極低温ステージに設置することが理想であり、極低温で動作する制御用集積回路を実現する必要がある。しかし制御回路の基本素子であるMOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)の極低温動作には未だ解明されていない部分が多く、従来の理論では説明できない特性も観測されている。そのため、極低温におけるMOSFETのデバイス物理の解明が重要となる。

回路設計において重要なパラメータの一つにDIBL(Drain Induced Barrier Lowering)がある。室温に比べ極低温下でDIBLが増大するという報告もあれば減少するという報告もある。本研究では、TCAD(Technology Computer-Aided Design)シミュレーションを用いて、極低温動作MOSFETのDIBL機構の解明を目指す。

## ■ 活動内容

DIBLは線形領域(低ドレイン電圧 $|V_d|$ 領域)と飽和領域(高 $|V_d|$ 領域)における閾値電圧の差であり、小さい方が望ましい。我々はこれまでにアンダーラップ構造を持つデバイスにおいて極低温下でDIBLが過剰に見積もられている可能性を指摘した[1]。今回、過剰見積の発生条件を詳細に検討したのでこれを報告する。

### 1. シミュレーション方法

産総研が独自に開発するImpulse TCADを用いた。TCADシミュレーションではデバイス構造とドーパント分布を元にポアソン方程式とボルツマン輸送方程式を解くことで物理量分布と電気特性を求める。本研究では、ゲートに対するソース/ドレインのアンダーラップを持つpMOSFETを想定しており、計算に用いたデバイス構造を図1に示す。

### 2. 結果・考察

アンダーラップ長 $L_{\text{under}}$ が15 nmのときのデバイスについて、

15 Kにおける電流電圧特性のシミュレーション結果を図2に示す。 $|V_d|=0.2$  V以下の低 $|V_d|$ 領域において、 $|V_d|$ の増加に伴い閾値電圧の急激な低下が見られる。これはアンダーラップ領域でチャネルが切断されるためである(図3(a))。一方、 $|V_d|=0.2$  V以上の $|V_d|$ 領域においては、ソース・チャネル・ドレイン間が電氣的に接続されており(図3(b))、チャネルの切断に起因する閾値電圧の低下が抑えられている。DIBLパラメータは、低 $|V_d|$ 領域における閾値電圧の急激な低下を反映し、室温時よりも大きい値を見せる。このように、アンダーラップが存在している状況下で、線形領域とするドレイン電圧の設定によってはDIBLパラメータが過剰見積され、DIBLが増大しているかのように見えることになる。

## ■ 関連情報等(特許関係、施設)

本研究では、impulse TCADを用いたシミュレーションに産総研のスーパーコンピュータ ABCI(AI Bridging Cloud Infrastructure) を利用する。

## ■ 参考文献

[1] T. Inaba *et al.*, Appl. Phys. Express **15**, 084004 (2022).

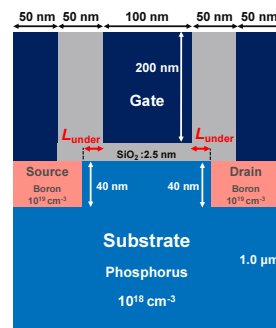


図1 デバイスの断面図。

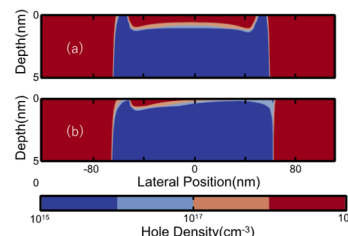


図3  $L_{\text{under}} = 15$  nm, 15 K, ゲート電圧  $V_g = -0.63$  V でのホール濃度。(a)  $|V_d|=0.05$  V, (b)  $|V_d|=1.0$  V

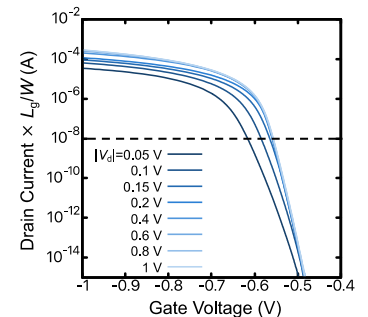


図2  $L_{\text{under}} = 15$  nm, 15 Kでの電流電圧特性。閾値電圧は定電流法  $I_d \times L_g/W = 10$  nA を用いて求めた。

代表発表者 小林 唯華(こばやし ゆいか)  
所属 東京理科大学 理学研究科物理学専攻  
産業技術総合研究所 先端半導体研究センター  
問合せ先 〒305-8568 茨城県つくば市梅園 1-1-1 中央事業所2群  
TEL: 029-862-6782  
kobayashi-yuika@aist.go.jp

■キーワード: (1) クライオ CMOS  
(2) TCAD  
(3) MOSFET

■共同研究者: 浅井 栄大(産総研)  
飯塚 将太(産総研)  
服部 淳一(産総研)  
池上 努(産総研)  
福田 浩一(産総研)  
二国 徹郎(東京理科大)  
森 貴洋(産総研)