

光電子制御プラズマ CVD による 絶縁性 DLC 成膜の形成と電気特性評価

SATテクノロジー・ショーケース2026

■ はじめに

グラフェンは高いキャリア移動度を有し、電界効果トランジスタ(FET)のチャネル応用の研究が進められている。グラフェンFETの報告例の多くは、ゲート絶縁膜としてSiO₂が用いられるが、酸化物堆積時に酸素がグラフェンに欠陥を生じさせることが問題である。炭素系絶縁膜は酸素を含まず、グラフェンFET用ゲート絶縁膜として期待されている。グラフェンに損傷を与えずにDLCを成膜する手法の一つとして、イオンエネルギーを任意に制御できる光電子制御プラズマ気相成長(PA-PECVD)法が有効である[1]。PA-PECVDでは基板に波長172 nmの紫外光を照射し、基板から放出される光電子をトリガーとしてプラズマを生成する[2]。PA-PECVDは4インチ以上の面積に均一なプラズマを形成できる一方、ステージと基板の材質差に伴う仕事関数の違いにより、両者からの光電子放出量に不均一が生じ得るため、ステージ由来の光電子放出を抑制する対策が必要である。本研究では、ステージ全面でプラズマを生成して成膜したDLC膜と、穴あきガラスカバーを基板上に被せ光電子放出領域を制限して成膜したDLC膜とを作製し、両者の電気的特性を比較検討した。

■ 活動内容

Si(001)基板上にPA-PECVDでDLCを成膜した。PA-PECVDの概要図を図1に示す。ガラスカバーを被せずステージ全面にプラズマを生成して行う方法(サンプル1)と、穴あきガラスカバーを用いてSi基板部のみからの光電子放出に限定して行う方法(サンプル2)の2通りで成膜した。成膜条件を表1に示す。成膜後のDLCの電気特性を四探針法により大気中で評価した。測定にはプローブ先端径160 μm、探針間隔1 mmの共和理研製プローブを用い、定電流は直流電源R6142(Advantest)、デジタルマルチメータ7352E(ADCMT)で電圧を取得した。ガラスカバーを設置しない場合はステージ全面にプラズマが生成されるのに対し、ガラスカバーを用いた場合は開口部付近に局所的なプラズマが生じ形成された。

四探針法による電気特性を評価した結果、サンプル1および2のシート抵抗値は、それぞれ42.47及び $2.0 \times 10^5 \Omega/\text{sq}$ であった。シート抵抗の違いは、DLC成膜中のガラスカバーの有無に寄与すること考えられる。カバー無しでは、金属ステージから光電子が放出され、プラズマ中のイオンがステージへ優先的に照射される。一方、カ

バーによりSi基板以外からの電子放出を抑制すると、DLCへのイオン衝突頻度が増加して膜の硬さや密度が向上し[3]、それに伴い抵抗率が增大したと考えられる。

本研究では、PA-PECVD法を用いてSi(001)基板上にDLC膜を成膜し、穴あきガラスカバーを被せずステージ全体にプラズマを生成して成膜した場合と、穴あきガラスカバーを被せて光電子放出を基板領域のみに限定して成膜した場合の電気特性を比較した。ガラスカバーによる光電子放出領域の制御がDLC膜の高抵抗化に寄与することが示唆された。さらに、この手法は膜質の改善やグラフェンFETをはじめとするトランジスタ用ゲート絶縁膜への応用に有効である可能性が示された。

■ 関連情報等(特許関係、施設)

利用施設:産業技術総合研究所 つくば中央事業所 ナノカーボン材料研究部

参考文献:[1] M. Yang, *et al.*, *Thin Solid Films*, **523**, 25–28 (2012).[2] S. Aja *et al.*, *Jpn. J. Appl. Phys.* **58**, 090911 (2019).[3] 田中章浩, *J. Vac. Soc. Jpn.*, **47**, 820 (2004).

表1 成膜条件。

	ガラスカバーの有無	CH ₄ [sccm]	Ar[sccm]	圧力[Pa]	ステージ温度[°C]	成膜時間[min]
サンプル1	なし	10	90	200	100	30
サンプル2	あり	10	90	200	100	30

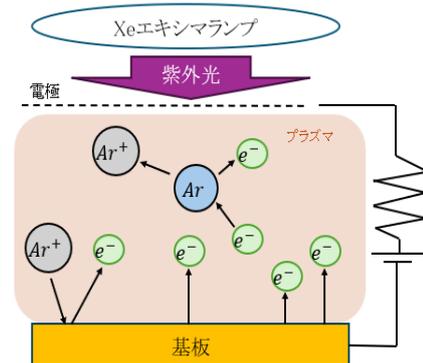


図1 光電子制御プラズマの模式図。

代表発表者 関 理志(せき さとし)
所属 日本大学大学院 生産工学研究科
電気電子工学専攻

問合せ先 〒274-0072 千葉県習志野市泉町1丁目2-1
TEL:047-474-2201
cisa25005@g.nihon-u.ac.jp

■キーワード: (1)ダイヤモンドライクカーボン
(2)光電子制御プラズマ CVD
(3)エレクトロニクス応用

■共同研究者:
(1)小川修一 日本大学
(2)岡田光博 産業技術総合研究所
(3)沖川侑輝 産業技術総合研究所
(4)山田貴壽 産業技術総合研究所