

三次元光実装プロセスの検討

SATテクノロジー・ショーケース2026

■はじめに

近年AIやIoTの急速な普及によるデータ通信量増大^[1]に伴い、ICTインフラ、特にデータセンターにおける消費電力増大が深刻な社会課題^[2]となっている。この主要因は、LSIの信号処理と光・電気信号伝送にある。従来のプラガブル方式^[3]では、LSIから基板端面の光ICまでの電気配線長が約100mmと長く、信号減衰と電力損失がシステム高性能化の大きなボトルネックである。この課題に対し、LSI近傍(約10mm)に光ICを配置し配線を短縮する光電コパッケージ(CPO)技術^[3]が実装され、約3割の電力削減が図られている。しかし、将来の超高速・大容量処理を見据えた場合、CPOで残存する短い電気配線さえも、さらなる高速化・低電力化の妨げになると予測される。この限界を突破する「光電融合」技術として、本研究はLSIと光ICを3次元的に積層・集積する実装技術の確立を目指す。3次元実装は、電気配線距離を物理的に極限まで短縮可能であり、CPO技術と比較しても、さらに30~40%の大幅な電力量削減が見込める。この3次元実装を実現する上での中核的な技術課題が、異なる材料系(シリコン、ポリマー)と異なる階層間での高効率な光接続技術の確立である。本研究の目的は、高密度集積に適したシリコン(Si)光導波路(コア径450nm程度)と、実装の柔軟性やファイバ接続性に優れるポリマー光導波路(コア径750nm程度)とを、ミラー構造を用いて垂直方向に接続することであり、3次元光接続技術のデバイス作製プロセスを適用して実証を行う。

■活動内容

1. シリコン系光導波路の試作

3次元の光接続の基盤となるシリコン系光導波路の試作プロセスを検討した。シリコン基盤上にプラズマCVD法を用いて下部クラット層となるSiO₂膜(膜厚1100nm)及び、コア層となるSiN膜(膜厚450nm)成膜した。

2. ミラー部形成プロセスの検討

光路を垂直方向に曲げるためのミラー部形成プロセスを検討した。SiO₂膜をマスクとし、KOH(液温80°C)によるSiの異方性エッチングを行った。また、ミラー部をパターに干渉するためのSiNへのマスク露光条件の検討も行った。

3. 現状の課題と今後の計画

現状の課題として、(1)Siエッチング後の傾斜部にSiO₂を成膜した際、傾斜開始部に突起上の構造物が発生すること、(2)SiNの傾斜部におけるフォトリジストの密着性が悪く、導波路パターンが所望の形状に製作できないことが

確認されている。(図2)今後の計画として、MEMSなどで用いられているスプレーコートによるレジスト塗布によるパターン製作を実施予定。この後、マイクロミラーを作成し、ポリマー導波路の設置と接続の確率、損失の計測を行う。

■関連情報等(特許関係、施設)

利用実験設備: SUSS MA-6(産業技術総合研究所 つくば中央事業所 光電融合研究センター)

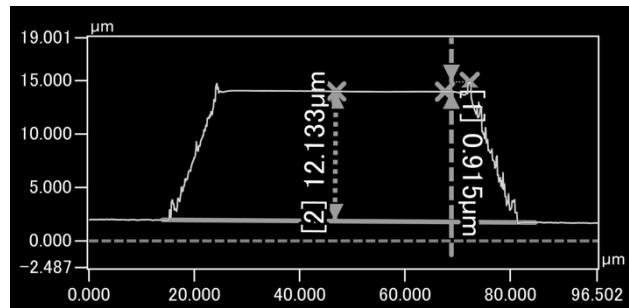


図1. SiO₂の突起上構造物

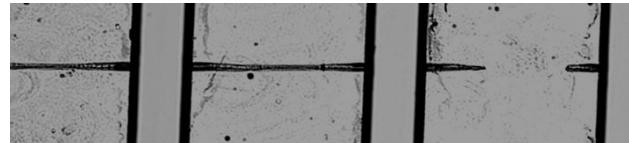


図2. SiN 上への露光結果

引用文献

- [1] 総務省. “データセンター間等におけるデータ通信量の現状と見通し等に関する調査研究について”. 2024-03-29. https://www.soumu.go.jp/main_content/000942106.pdf, (2025-10-20 参照)
- [2] 資源エネルギー庁. “電力需要について”. 2024-06-06. https://www.enecho.meti.go.jp/committee/council/basic_policy_subcommittee/2024/056/056_005.pdf, (2025-10-20 参照)
- [3] NTT イノベーティブデバイス株式会社. “IOWN 2.0 の実現に向けた、光電融合スイッチの開発状況と今後の展望”. 2025-10-06. https://group.ntt.jp/ir/library/presentation/2025/pdf/251006_2.pdf, (2025-10-20 参照)

■キーワード:

- (1) 光電融合
- (2) 光電コパッケージ
- (3) フォトリソグラフィー

■共同研究者:

菊地奎人^[1], 板谷太郎^[2], 天野健^[2]

[1] 東京都市大学 大学院総合理工研究科

[2] 国立研究開発法人 産業技術総合研究所